



JPW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

| | | | |
|---|----------------------|------------------------|---------------|
| TRANSMITTAL FORM (to be used for all correspondence after initial filing) | Application Number | 10/763,441 | |
| | Filing Date | 01-23-2004 | |
| | First Named Inventor | Umewaka | |
| | Art Unit | 2681 | |
| | Examiner Name | | |
| Total Number of Pages in This Submission | 31 | Attorney Docket Number | S008-P04004US |

| ENCLOSURES (Check all that apply) | | |
|--|--|--|
| <input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 | <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ | <input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below): |
| <div>Remarks</div> | | |

| SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT | |
|--|--------------------|
| Firm or Individual name | SoCal IP Law Group |
| Signature | |
| Date | 05-14-2004 |

| CERTIFICATE OF TRANSMISSION/MAILING | | | |
|---|--------------|-------------|------------|
| I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below. | | | |
| | | Fax Number: | |
| Typed or printed name | Douglas Kirk | | |
| Signature | | Date | 05-14-2004 |

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月24日
Date of Application:

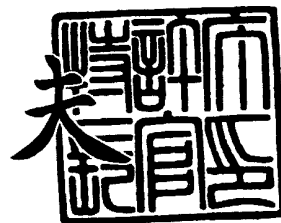
出願番号 特願2003-016147
Application Number:
[ST. 10/C]: [JP2003-016147]

出願人 三洋電機株式会社
Applicant(s):

2004年 3月25日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3024766

【書類名】 特許願

【整理番号】 KGA1030005

【提出日】 平成15年 1月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 27/02

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 梅若 正博

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 山本 洋也

【発明者】

【住所又は居所】 東京都新宿区西早稲田2-18-8

【氏名】 関根 慶太郎

【発明者】

【住所又は居所】 千葉県柏市東上町1-2-501

【氏名】 兵庫 明

【発明者】

【住所又は居所】 群馬県邑楽郡大泉町古水134-3

【氏名】 森尻 敬治

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100071283

【弁理士】

【氏名又は名称】 一色 健輔

【選任した代理人】

【識別番号】 100084906

【弁理士】

【氏名又は名称】 原島 典孝

【選任した代理人】

【識別番号】 100098523

【弁理士】

【氏名又は名称】 黒川 恵

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 振幅可変機能付き同調回路、及び無線通信装置用集積回路

【特許請求の範囲】

【請求項 1】 コイル及びコンデンサを有する同調回路の共振時における抵抗値を変化させるための抵抗値調整素子が前記コイル及び前記コンデンサに並列に接続され、

前記抵抗値調整素子で前記抵抗値を変化させることにより、前記同調回路の出力信号の振幅を変化させる、

ことを特徴とする振幅可変機能付き同調回路。

【請求項 2】 前記抵抗値調整素子はトランジスタで構成され、前記抵抗値を変化させるべく、前記トランジスタの制御電極への印加電圧を変化させることを特徴とする請求項 1 に記載の振幅可変機能付き同調回路。

【請求項 3】 前記抵抗値調整素子はトランジスタで構成され、前記抵抗値を変化させるべく、前記トランジスタをオンオフすることを特徴とする請求項 1 または 2 に記載の振幅可変機能付き同調回路。

【請求項 4】 前記同調回路の前記出力信号の前記振幅が自動調整用基準振幅レベルを超えると出力を変化させるコンパレータと、

前記コンパレータの前記出力の前記変化に応じ、前記トランジスタの前記制御電極への前記印加電圧を変化させるためのデジタル駆動信号を出力するトランジスタ駆動用デジタル回路と、

で構成される自動調整回路系、

をさらに備えたことを特徴とする請求項 3 に記載の振幅可変機能付き同調回路。

【請求項 5】 前記同調回路を構成する前記コイル及び前記コンデンサの一端に対して所定の基準電圧が印加されるとともに、

前記同調回路で共振された前記交流信号が前記コイル及び前記コンデンサの他端から出力される、

ことを特徴とする請求項 1 乃至 4 のいずれかに記載の振幅可変機能付き同調回路。

【請求項 6】 前記同調回路を構成する前記コイル及び前記コンデンサの一端が接地されるとともに、

前記同調回路で共振された前記交流信号が前記コイル及び前記コンデンサの他端から出力される、

ことを特徴とする請求項 1 乃至 4 のいずれかに記載の振幅可変機能付き同調回路。

【請求項 7】 請求項 4 乃至 6 のいずれかに記載の振幅可変機能付き同調回路における前記抵抗値調整素子及び前記自動調整回路系を含む無線通信装置用集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、振幅可変機能付き同調回路、及び無線通信装置用集積回路に関する。

【0002】

【従来の技術】

例えば A S K (Amplitude Shift Keying) 通信における同調回路及び A G C (Automatic Gain Control) 回路の一般的な例を図 9 に示す。同調回路は、コイル (インダクタンス) L_1 及びコンデンサ (容量) C_1 の一端が基準電圧 V_{ref} に接続された LC 並列共振回路で構成されている。A G C 回路は、可変増幅器 (Variable Gain Amp)、整流回路 (REC)、及び比較器 (COMP) で構成される。可変増幅器は、同調回路からの A C 信号の振幅を調整して出力端子 O U T へ出力する。この出力端子 O U T には、増幅器や検波回路及び波形整形回路等が接続され、振幅調整された A C 信号が処理される (例えば、特許文献 1 参照。)

【0003】

可変増幅器における A C (交流) 信号の増幅率は、整流回路及び比較器で決定される。すなわち、整流回路により A C 信号の振幅を平滑化して D C 信号として得た後、この D C 信号をコンパレータで基準電圧 V_{AGC} と比較する。この比較の結果、例えば A C 信号の振幅が過大な場合には、増幅率を低下させるための出

力をコンパレータが増幅器へ帰還させる。この結果、過大なAC信号の振幅を抑え、常にある一定の出力レベルを維持する制御が行われる。

【0004】

このような同調回路及びAGC回路は、例えば遠隔操作システムの受信装置に用いられる。この遠隔操作システムには、例えば、車両や家屋等のドアの開閉や施錠、及び車両のエンジンの起動や停止等、種々の用途がある。

【0005】

【特許文献1】

特開平10-23084号公報

【0006】

【発明が解決しようとする課題】

例えばAC信号の振幅が大きい場合に下げる自動制御を行う等のAGCの機能を実現するにあたり、前述したような可変増幅器及び整流回路を含むアナログ制御系を用いると、消費電力（例えば電流値で $1\mu\text{A}$ 程度）が大きい。このような消費電力の大きい回路について、例えば電池駆動型の遠隔操作システムの受信装置に用いると、電池の消耗が早くなってしまう。

【0007】

【課題を解決するための手段】

本発明に係る発明振幅可変機能付き同調回路では、コイル及びコンデンサを有する同調回路の共振時における抵抗値を変化させるための抵抗値調整素子が前記コイル及び前記コンデンサに並列に接続され、前記抵抗値調整素子で前記抵抗値を変化させることにより、前記同調回路の出力信号の振幅を変化させる。

よって、抵抗値調整素子でもって同調回路の抵抗値を変化させることにより、同調回路の出力信号の振幅を変化させることができる。したがって、同調回路の感度を上げて微小な出力信号の検出を可能としながらも、出力入力の振幅が過大となってもその振幅を抑制できる。すなわち、幅広いダイナミックレンジに対応できる。

【0008】

また、前記抵抗値調整素子はトランジスタで構成され、前記抵抗値を変化させ

るべく前記トランジスタの制御電極への印加電圧を変化させることとできる。

よって、同調回路の出力信号の振幅を変化させるにあたり、印加電圧に応じたトランジスタの適宜な抵抗値でもって、同調回路の抵抗値を変化させることができる。

【0009】

さらに、前記抵抗値調整素子はトランジスタで構成され、前記抵抗値を変化させるべく、前記トランジスタをオンオフすることとできる。

よって、同調回路の抵抗値を変化させるトランジスタをオンオフするので、デジタル制御が可能となる。よって、その制御系の電力消費について、アナログ制御系を用いた場合に比し、電力消費を低減できる。特に、本発明の回路が電池駆動型の製品に採用された場合、容量の限られた電池の消費電力の低減化が図れる。

【0010】

さらにまた、前記同調回路の前記出力信号の前記振幅が自動調整用基準振幅レベルを超えると出力を変化させるコンパレータと、前記コンパレータの前記出力の前記変化に応じ、前記トランジスタの前記制御電極への前記印加電圧を変化させるためのデジタル駆動信号を出力するトランジスタ駆動用デジタル回路と、で構成される自動調整回路系をさらに備えることとできる。

よって、同調回路の振幅可変機能を実現するにあたり、電圧駆動可能な自動調整回路系を備える。この結果、従来のアナログ制御系を用いた場合に比し、電力消費を格段に低減することができる。特に、本発明の回路が電池駆動型の製品に採用された場合、容量の限られた電池の消費電力の低減化が図れる。

【0011】

また、前記同調回路を構成する前記コイル及び前記コンデンサの一端に対して所定の基準電圧が印加されるとともに、前記同調回路で共振された前記交流信号が前記コイル及び前記コンデンサの他端から出力されることとできる。

【0012】

さらに、前記同調回路を構成する前記コイル及び前記コンデンサの一端が接地されるとともに、前記同調回路で共振された前記交流信号が前記コイル及び前記

コンデンサの他端から出力されることとできる。

【0013】

本発明に係る無線通信装置用集積回路では、前述した振幅可変機能付き同調回路における前記抵抗値調整素子及び前記自動調整回路系を含む。

【0014】

【発明の実施の形態】

=== 原 理 ===

本実施の形態に係る振幅可変機能付き同調回路の原理図を図1に示す。この同調回路は、例えば通信システムの送受信装置におけるアンテナに用いられる。図1の回路図に示すように、同調回路を構成するLC並列共振回路におけるコイルL1及びコンデンサC1（図1の上段の回路図）に対し、抵抗値調整素子R'が並列に接続される（図1の下段の回路図）。この抵抗値調整素子R'は、それ自身で抵抗値（便宜上、この抵抗値をR'とする）を有しており、同調回路の共振時における抵抗成分の値（抵抗値）R0を変化させる。抵抗値調整素子R'が接続されていない同調回路は、もとより、共振時における抵抗成分Rの値を有している（図1の中段の回路図）。これに加えて抵抗値調整素子R'が接続された同調回路の抵抗値R0は、 $(1/R + 1/R')$ の逆数で表される。

このように、同調回路の抵抗値R0を変化させることにより、 $Q = R0 / (\omega L1)$ の式（ ω は角速度、L1は、コイルL1のインダクタンスの値）に基づき、同調回路のQ値を変化させる。このQ値の変化により、同調回路の出力信号の振幅のレベルを変化させることができる。なお、Q値とは、同調回路の特性を表す選択度である。

【0015】

抵抗値調整素子R'の抵抗値R'は正の値を有するため、抵抗値調整素子R'が接続された同調回路の抵抗値R0は、抵抗値調整素子R'が接続されていない場合の抵抗値Rに比し、小さくなる。この同調回路の抵抗値R0が小さくなるに伴い、Q値が小さくなる結果、過大なAC信号の振幅を抑える制御を行える。

【0016】

=== 実施例 ===

前述した図1に示す回路の一実施例を図2の回路図に示す。図1の抵抗値調整素子 R' をトランジスタMP0で構成する。この実施例では、トランジスタMP0をp型チャネルMOSFETで構成する。そして、同調回路たるLC並列共振回路を構成するコイルL1及びコンデンサC1の一端（図面左側）に対し、基準電圧 V_{ref} （例えば3V）を印加する。このLC並列共振回路で共振されたAC信号がコイルL1及びコンデンサC1の出力端子（他端）OUTから出力される。

【0017】

そして、トランジスタMP0のゲート（制御電極）への印加電圧を変化させることにより、前述した同調回路の抵抗値 R_0 を変化させる。このトランジスタMP0のゲートへの印加電圧を変化させるにあたり、トランジスタMP0をスイッチング素子とするデジタル駆動方式と、オンとオフとの間の中間状態で駆動するアナログ駆動方式の二通りの方式がある。例えば離散的なアナログ駆動方式については、トランジスタMP0への印加電圧を0V（オン電圧）乃至5V（オフ電圧）の範囲（例えば1V、2V、3V等）の値を設定する。このことで、トランジスタMP0のドレインとソース間において、複数の離散的な抵抗値が得られる。この複数の離散的な抵抗値に応じた精密なAC信号の振幅レベルの制御を行える。

【0018】

次に、トランジスタMP0をスイッチング素子としてオンオフ駆動するデジタル駆動方式について説明する。すなわち、トランジスタMP0について、そのゲートへの印加電圧を0V（オン電圧）あるいは5V（オフ電圧）のいずれかとする。例えば、トランジスタMP0がオンすることにより、同調回路の抵抗値が変化し、出力端子OUTからのAC信号の振幅レベルを調整できる。

【0019】

次に、図2に示す同調回路に対し、AGC回路系（自動調整回路系）を付加することにより、AGC機能付きの同調回路を実現する例について、図3を参照して説明する。同調回路に対して接続されるAGC回路系は、レベルシフト回路（図中、Level Shift Circuit）、ヒステリシスコンパレータ（図中、Hysteresis

Comparater)、及びトランジスタ駆動用デジタル回路を備える。

【0020】

本発明では、図1を参照して説明した振幅可変の原理により、図9に示す従来の回路のような可変増幅器及び整流回路のアナログ回路系を用いずに済む。このため、電力消費を格段に低減できる。

【0021】

まずAGC回路系の機能について説明する。ヒステリシスコンパレータは、同調回路からのAC信号（出力信号）の振幅が自動調整用の基準振幅レベル以上になると出力を変化させる。このヒステリシスコンパレータの出力の変化に応じ、トランジスタ駆動用デジタル回路は、トランジスタMP0のゲートへの印加電圧を変化させるためのデジタル駆動信号VAGCを出力する。

【0022】

レベルシフト回路は、同調回路からのAC信号をヒステリシスコンパレータに入力させるにあたり、AC信号の直流レベルをシフトし、両者の直流レベルの整合性を取る機能を有する。すなわち、本実施例では、3Vの基準電圧Vrefが同調回路に印加される。このため、トランジスタMP0をオンさせて抵抗値が変化すると、3V程度の直流電圧に重畳するAC信号が同調回路から出力される。レベルシフト回路は、同調回路からの3V程度の直流成分について、ヒステリシスコンパレータが動作するのに十分な直流レベルへシフトさせる。さらに、ヒステリシスコンパレータにおける比較基準となる自動調整用の基準振幅レベルの中心電圧も合わせて生成する。

【0023】

次いで、レベルシフト回路、ヒステリシスコンパレータ、及びトランジスタ駆動用デジタル回路の具体的な回路構成について説明する。まず、レベルシフト回路は、カレントミラー回路を含むレベルシフト回路で構成される。図3に示すように、レベルシフト回路は、レベルシフト本来の機能を奏するレベルシフター部と、カレントミラー回路部で構成される。

【0024】

レベルシフター部は、トランジスタ（n型チャネルMOSFET）MN1と、

トランジスタ (n型チャネルMOSFET) MN2と、トランジスタ (n型チャネルMOSFET) MN3と、トランジスタ (n型チャネルMOSFET) MN4とで構成される。トランジスタMN2のゲートには、同調回路からのAC信号が入力される。トランジスタMN4は、ドレインとゲートが接続されており、ダイオード (抵抗成分) として機能する。

【0025】

カレントミラー回路部は、定電流 I_1 を供給する定電流源と、トランジスタ (n型チャネルMOSFET) MN5で構成される。定電流源が供給する定電流 I_1 は、ヒステリシスコンパレータの反転入力端子に印加される基準電圧 (自動調整用の基準振幅レベル) の源泉となる。トランジスタMN5のドレインとゲートは、互いに接続されるとともに、トランジスタMN3のゲートに接続される。このトランジスタMN3のゲートは、レベルシフター部のトランジスタMN1のゲートにも接続されているとともに、トランジスタMN3のドレインは、トランジスタMN4のソースに接続される。また、トランジスタMN2及びトランジスタMN4の双方について整合性を取り、両者のソースの直流電圧が共に等しくなるように設定する。図3の回路例では、トランジスタMN2とトランジスタMN4のゲートソース間電圧 V_{GS} だけ3Vより低下した直流レベルがトランジスタMN2及びトランジスタMN4のソースに生成される。

【0026】

このような構成のレベルシフト回路において、トランジスタMN2のソースがヒステリシスコンパレータの非反転入力端子 (+) に接続される一方、トランジスタMN4のソースがヒステリシスコンパレータの反転入力端子 (-) に接続される。よって、このヒステリシスコンパレータの非反転入力端子及び反転入力端子の双方には、共に等しい $3V - V_{GS}$ の直流電圧が印加される。すなわち、ヒステリシスコンパレータの反転入力端子には、直流のみが印加され、ヒステリシスコンパレータは、この直流レベルを中心に高い側と低い側に基準電圧 (自動調整用の基準振幅レベル) を持つ。一方、ヒステリシスコンパレータの非反転入力端子には、同調回路からのAC信号について直流レベルが $3V - V_{GS}$ にレベルシフトされた信号が入力される。すなわち、ヒステリシスコンパレータは、AC信号

の振幅と基準電圧とを比較し、A C 信号の振幅が基準電圧を超えると” L ” から ” H ” へ出力を変化させる。このヒステリシスコンパレータの出力は、トランジスタ駆動用デジタル回路へ出力される。

【 0 0 2 7 】

トランジスタ駆動用デジタル回路は、ヒステリシスコンパレータの出力の変化に応じ、トランジスタ M P 0 のゲートへの印加電圧を変化させるためのデジタル駆動信号を出力する。このトランジスタ駆動用デジタル回路は、電圧駆動型の回路であり、リセット付 D 型フリップフロップ回路 F D 2 、二つの N O R 回路 N R 1 , N R 2 で構成される R S F F (セットリセットフリップフロップ) 回路、及び N A N D 回路 N D 1 を備える。

【 0 0 2 8 】

D 型フリップフロップ回路 F D 2 のクロック端子 C には、ヒステリシスコンパレータの出力が印加される。この D 型フリップフロップ回路 F D 2 について、データ端子 D には電源 V C C が接続され、出力端子 Q には N O R 回路 N R 1 の一方の入力端子 (リセット端子) が接続される。さらに、D 型フリップフロップ回路 F D 2 のリセット端子 R N にはリセット端子 R E S E T が接続される。このリセット端子 R E S E T は、N A N D 回路 N D 1 の一方の入力端子にも反転接続される。この N A N D 回路 N D 1 について、その他方の入力端子には電源 V C C が接続され、その出力端子は、R S F F 回路の N O R 回路 N R 2 の一方の入力端子 (セット端子) に接続される。また、この N A N D 回路 N D 1 は、インバータの機能を奏する他の代替手段も適用可能である。なお、この R S F F 回路は、よく知られているように、二つの N O R 回路 N R 1 , N R 2 を用いた基本的な構成である。N O R 回路 N R 1 の出力端子からデジタル駆動信号 V A G C が出力される。また、この R S F F 回路は、リセット型の D 型フリップフロップ回路でもよい。

【 0 0 2 9 】

このような構成のトランジスタ駆動用デジタル回路を中心に A G C 動作について、図 4 に示す波形図を参照して説明する。まず、図 4 における時刻 T 0 までの時点、すなわち、同調回路からのレベルシフトされた A C 信号がヒステリシスコンパレータに入力されていない状態 (リセット状態) における各信号の状態につ

いて述べる。ヒステリシスコンパレータの出力（図 3 及び図 4 中、“C”の波形）、D 型フリップフロップ回路 F D 2 の出力（図 3 及び図 4 中、“Q”の波形）、及び N A N D 回路 N D 1 の出力（図 3 及び図 4 中、“N A N D 回路 N D 1 の出力”の波形）は、“L”の状態である。一方、N O R 回路 N R 1 の出力（デジタル駆動信号 V A G C，図 3 及び図 4 中、“V A G C”の波形）、及びリセット端子 R E S E T への印加電圧（図 3 及び図 4 中、“R E S E T”の波形）は“H”の状態である。

【0 0 3 0】

そして、図 4 における時刻 T 0 の時点以降、同調回路から A C 信号が、レベルシフトされてヒステリシスコンパレータに入力され、この A C 信号の振幅が過大な場合について説明する。ヒステリシスコンパレータに振幅の過大な A C 信号が入力されてから最初の数 m s の時間内（時刻 T 0 乃至 T 1）で、ヒステリシスコンパレータは、その非反転入力端子への入力レベルが反転入力端子への基準電圧より大となることにより、その出力 C は、“L”から“H”へ変化する。すると、D 型フリップフロップ回路 F D 2 の出力 Q は反転し、“H”の状態となるとともに、R S F F 回路がリセットされて、デジタル駆動信号 V A G C も反転して“L”の状態となる。この結果、トランジスタ M P 0 がオンとなり、前述したように、同調回路に対する A G C が機能し、A C 信号の振幅が抑えられていく。

【0 0 3 1】

なお、リセット端子 R E S E T への印加電圧について、“H”の状態を維持する。このことにより、デジタル駆動信号 V A G C の“L”の状態を維持し、抵抗値調整素子たるトランジスタ M P 0 のオン状態を維持（ホールド）でき、A G C 動作が中断してしまうことを防止できる。

【0 0 3 2】

その後、A G C 動作を中断し、各部の信号状態を初期化する場合には、リセット端子 R E S E T に“L”のリセット用パルス信号を印加する（時刻 T 2）。すると、D 型フリップフロップ回路 F D 2 の出力 Q が“L”の状態に戻る。同時に、N A N D 回路 N D 1 の出力もリセット用パルス信号に合わせて、“H”のパルス信号を出力する。このパルス信号の立ち上がりに合わせて、R S F F 回路がセッ

トされて、デジタル駆動信号VAGCも反転して”H”の状態となる。この結果、トランジスタMP0がオフとなり、前述したように、同調回路に対するAGC動作が停止する。

【0033】

また、図3のRSFF回路について、リセット付D型フリップフロップ回路が適用可能であり、その出力をVAGCとしても同様の動作が得られる。

【0034】

===他の変形例===

前述した図1乃至図4を参照して説明した実施例の変形例について、図5及び図6に示し、変形内容を説明する。すなわち、図5に示すように、前述した図1の抵抗値調整素子R'をn型チャネルMOSFETからなるトランジスタMN0で構成する。そして、同調回路たるLC並列共振回路を構成するコイルL1及びコンデンサC1の一端（図面左側）を接地（GND接続）する。このLC並列共振回路で共振されたAC信号がコイルL1及びコンデンサC1の出力端子（他端）OUTから出力される。

【0035】

抵抗値調整素子R'をn型チャネルMOSFETトランジスタMN0とするとともに、コイルL1及びコンデンサC1の一端を接地した変形により、図6に示すように、レベルシフト回路は、レベルシフター部がトランジスタ(p形チャネルMOSFET)MP1とトランジスタ(p形チャネルMOSFET)MP2とトランジスタ(p形チャネルMOSFET)MP3とトランジスタ(p形チャネルMOSFET)MP4とで構成される。カレントミラー回路部は、定電流I1を供給する定電流源と、トランジスタ(p形チャネルMOSFET)MP5で構成される。トランジスタMP5のドレインとゲートは、互いに接続されるとともに、トランジスタMP1とMP3のゲートに接続される。よって、MP2とMP4は、双方について整合性を取ることで、両者の直流電圧が共に等しくなるように設定する。図6の回路例では、MP2とMP4のゲートソース間電圧VGSだけGNDよりも高い直流レベルがMP2とMP4のソースに生成される。

【0036】

また、デジタル駆動信号VAGCを出力するRSFF回路の接続関係が図3の

場合に比べて変更となる。このRSFF回路は、良く知られた基本的な構成及び接続状態である。すなわち、図6において、RSFF回路のNOR回路NR1の一方の入力端子をNAND回路ND1の出力端子と接続するとともに、RSFF回路のNOR回路NR2の一方の入力端子をD型フリップフロップ回路FD2のQ端子と接続する。つまり、D型フリップフロップ回路FD2の出力Qが”H”になると、RSFF回路はセットされ、”H”状態のデジタル駆動信号VAGCを出力する。

【0037】

この図6に示す回路の動作は、前述した図3の場合と同様である。すなわち、同調回路で共振されたAC信号が、レベルシフト回路により、ヒステリシスコンパレータに受け渡される。このAC信号の振幅レベルが過大となり、基準電圧（自動調整用の基準振幅レベル）を超えると、ヒステリシスコンパレータの出力が”L”から”H”に変化する。その結果、RSFF回路からのデジタル駆動信号VAGCが”L”から”H”に変化し、トランジスタMN0がオン状態となり、AGC動作が開始される。

なお、AGC動作を中断し、各部の信号状態を初期化する場合には、リセット端子RESETに印加している信号の状態を”H”から”L”に変化させる。

【0038】

ここで、前述した離散的なアナログ駆動方式の具体例について説明する。前述した図3や図6において、トランジスタMP0、MN0への印加電圧（駆動信号VAGC）について、例えば1V、2V、3Vの複数值を設定する。すなわち、前述した図3や図6において、図7に示すように、複数段のヒステリシスコンパレータCMP1、CMP2、CMP3に並列に接続するとともに、各ヒステリシスコンパレータCMP1乃至CMP3に対応してRS型フリップフロップ回路RSFF1、RSFF2、RSFF3を接続して複数段の構成とする。これらのRS型フリップフロップ回路RSFF1乃至RSFF3の出力端子はデコーダに接続される。このデコーダから駆動信号VAGCが出力される。

【0039】

ヒステリシスコンパレータCMP1の反転入力端子には、駆動信号VAGCを

生成するための基準電圧 V_{ref1} が設定される。ヒステリシスコンパレータ CMP 2 の反転入力端子には、2 V の駆動信号 VAGC を生成するための基準電圧 V_{ref2} が設定される。ヒステリシスコンパレータ CMP 3 の反転入力端子には、1 V の駆動信号 VAGC を生成するための基準電圧 V_{ref3} が設定される。

【0040】

各ヒステリシスコンパレータ CMP 1 乃至 CMP 3 について、その各非反転入力端子には、前述したレベルシフト回路（図中、Level Shift Circuit）からの出力が印加され、各基準電圧 V_{ref1} 乃至 V_{ref3} と比較した結果を出力する。これら各ヒステリシスコンパレータ CMP 1 乃至 CMP 3 の出力に応じ、各 RS 型フリップフロップ回路 RSFF 1 乃至 RSFF 3 は 3 ビットのデータ（4 値：HHH, HHL, HLL, LLL）がデコーダへ出力される。このデコーダは、3 ビットのデータに応じて一意的に定まる駆動信号 VAGC（1 V, 2 V, 3 V のいずれか）を生成してトランジスタ MP 0, MN 0 に出力する。

【0041】

また、図 6 の RSFF 回路について、リセット付 D 型フリップフロップ回路が適用可能であり、その出力を VAGC としても同様の動作が得られる。

【0042】

=== 遠隔操作システムへの応用例 ===

前述した実施例及び変形例で説明した振幅可変機能付き同調回路の応用例について、図 8 を参照して説明する。この応用例では、キー 100 及び車両 200 用の例えばワイヤレス・ドアロック（あるいは、エンジンのスタート及びストップ）・リモコンシステム（双方向通信型キーレスエントリーシステム）において、本願発明を適用している。

【0043】

キー 100 には、受信用アンテナ部 110、無線通信装置用集積回路たる RF (Radio Frequency) IC (Integrated Circuit) 120、マイコン 130、及び LC 発振回路で構成される送信用アンテナ部 140 を備える。受信用アンテナ部 110 は、前述した本発明に係る図 3 や図 6 におけるコイル L 1 及びコンデン

サ C 1 を備える同調回路である。R F I C 1 2 0 は、前述した本発明に係る図 3 や図 6 における A G C 回路系に加え、トランジスタ M P 0, M N 0 を含んだ A G C を備える。この他、R F I C 1 2 0 は、よく知られているように、A G C から A C 信号を増幅するアンプ A M P、検波回路 D E T、比較器 C O M P、及びフリップフロップ F F を備える。このフリップフロップ F F からの出力信号をマイコン 1 3 0 は処理する。そして、このマイコン 1 3 0 のデータ出力端子 D A T A O U T から送信用アンテナ部 1 4 0 を通じて A S K 送信若しくは F S K (Frequency Shift Keying) 送信を実行する。

【0044】

一方、車両 2 0 0 側には、受信用アンテナ部 2 1 0、R F I C 2 2 0、マイコン 2 3 0 及び送信用アンテナ部 2 4 0 で構成される。各構成要素 2 1 0 乃至 2 4 0 は、キー 1 0 0 の受信用アンテナ部 1 1 0、R F I C 1 2 0、マイコン 1 3 0 及び送信用アンテナ部 1 4 0 と同様に構成され、キー 1 0 0 側と通信処理を実行する。

【0045】

===その他===

本発明の抵抗値調整素子と同等の機能を有する代替的な回路等の均等物も、本願発明の技術的範囲に含まれる。

【0046】

【発明の効果】

抵抗値調整素子でもって同調回路の抵抗値を変化させることにより、同調回路の出力信号の振幅を変化させる。したがって、同調回路の感度を上げて微小な出力信号の検出を可能としながらも、出力入力の振幅が過大となってもその振幅を抑制できる。すなわち、幅広いダイナミックレンジに対応できる。

【0047】

また、同調回路の振幅可変機能を実現するにあたり、電圧駆動可能な自動調整回路系を備えるとした場合には、従来のアナログ制御系を用いた場合に比し、電力消費を格段に低減することができる。特に、本発明の回路が電池駆動型の製品に採用された場合、容量の限られた電池の消費電力の低減化が図れる。

【図面の簡単な説明】**【図 1】**

本発明の一実施の形態に係る振幅可変機能付き同調回路の原理を従来と対比して示すための図である。

【図 2】

本発明の一実施の形態に係る振幅可変機能付き同調回路の回路図である。

【図 3】

本発明の一実施の形態に係る A G C 機能付きの同調回路の回路図である。

【図 4】

図 3 に示すトランジスタ駆動用デジタル回路の各部の信号の状態を示す波形図である。

【図 5】

本発明の一実施の形態に係る変形例の原理図である。

【図 6】

本発明の一実施の形態に係る振幅可変機能付き同調回路の変形例を示す回路図である。

【図 7】

本発明の一実施の形態に係る振幅可変機能付き同調回路について、アナログ駆動方式とした場合の部分回路図である。

【図 8】

本発明の一実施の形態に係る振幅可変機能付き同調回路を車両用のワイヤレス・ドアロック・リモコンシステムへの応用した例を示すブロック図である。

【図 9】

従来の振幅可変機能付き同調回路を示す回路図である。

【符号の説明】

- 1 0 0 キー
- 1 1 0 受信用アンテナ部
- 1 2 0 R F I C (通信装置用集積回路)
- 1 2 3 検波回路 D E T

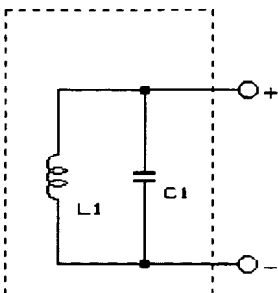
| | |
|-------|---------------------|
| 1 3 0 | マイコン |
| 1 4 0 | 送信用アンテナ部 |
| 2 0 0 | 車両 |
| 2 1 0 | 受信用アンテナ部 |
| 2 2 0 | R F I C (通信装置用集積回路) |
| 2 3 0 | マイコン |
| 2 4 0 | 送信用アンテナ部 |
| AMP | アンプ |
| COMP | 比較器 |
| FF | フリップフロップ |

【書類名】

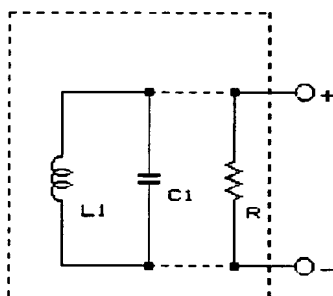
図面

【図 1】

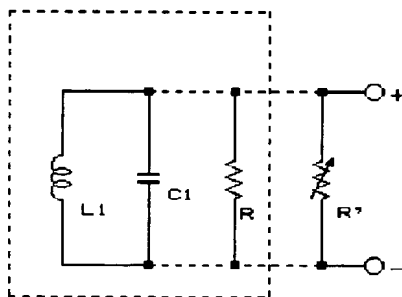
同調回路



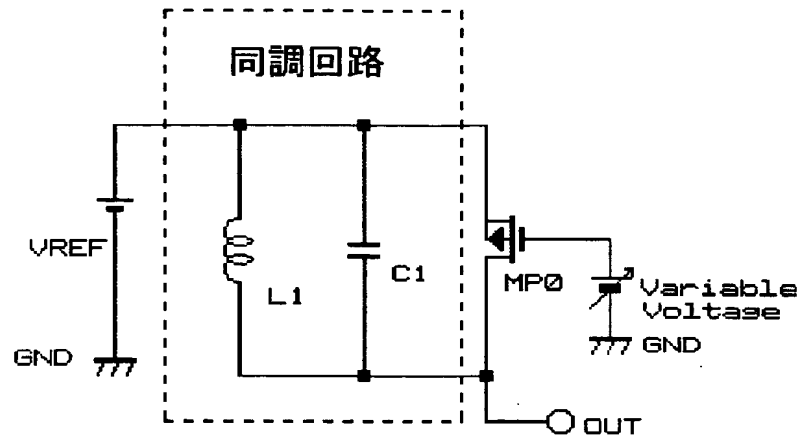
同調回路



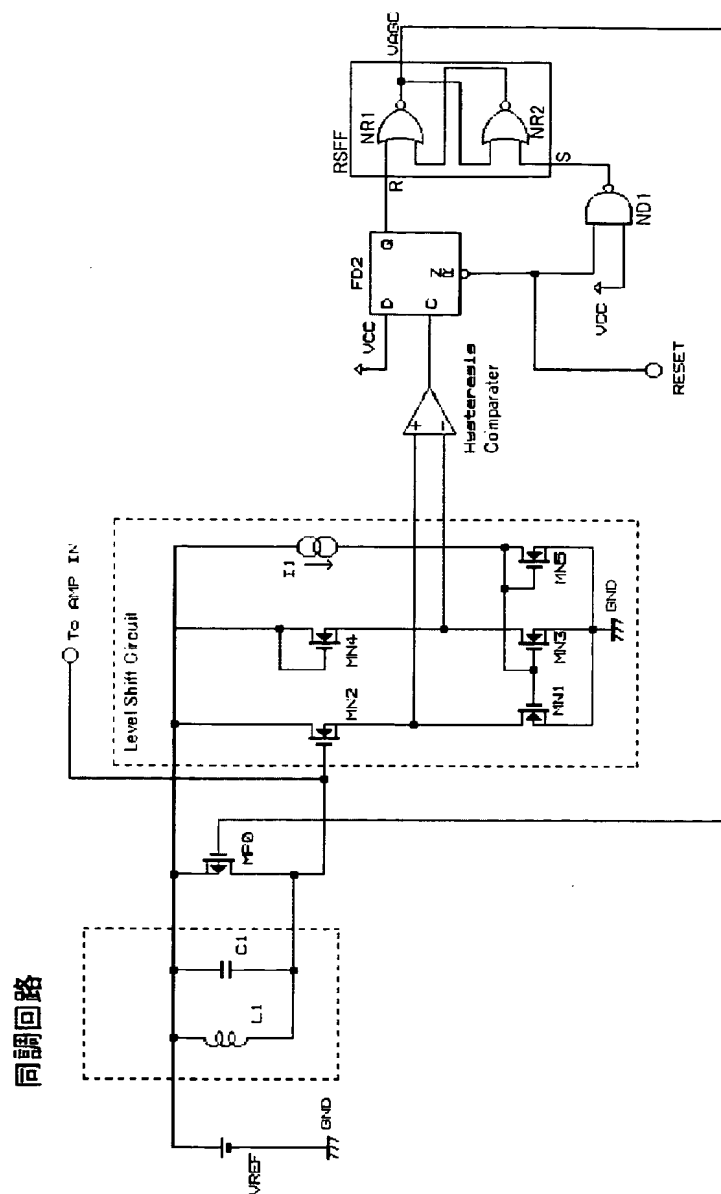
同調回路



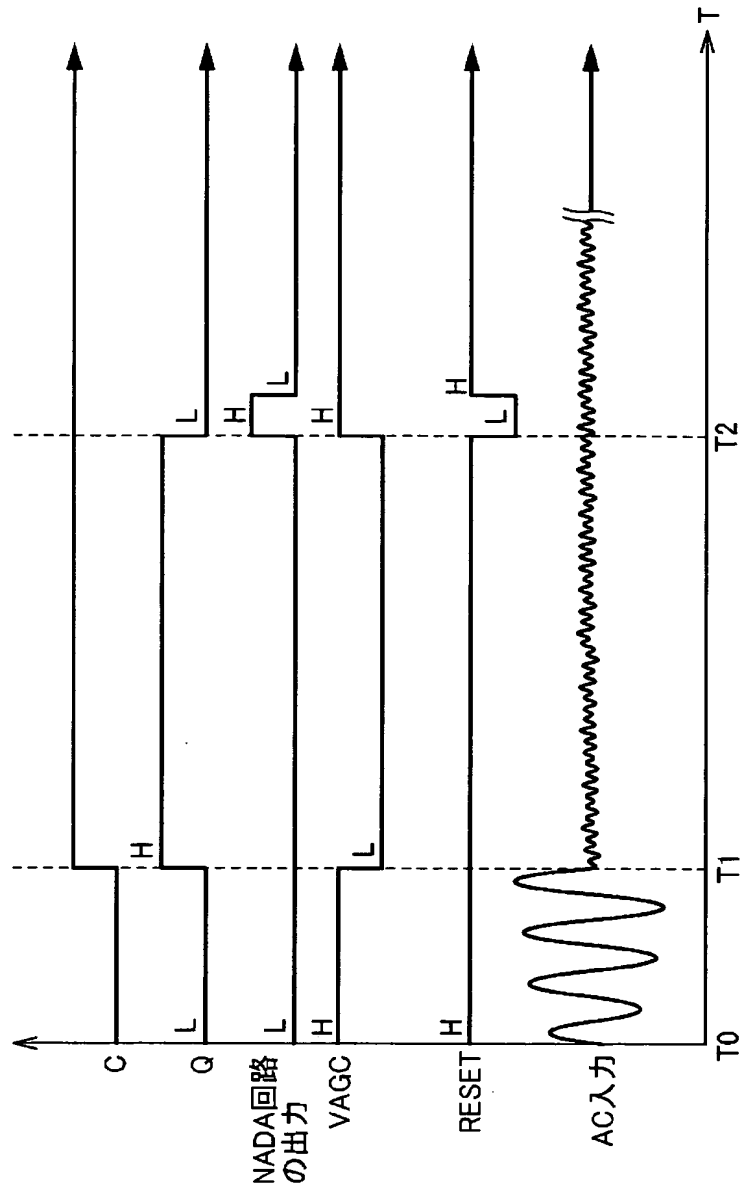
【図 2】



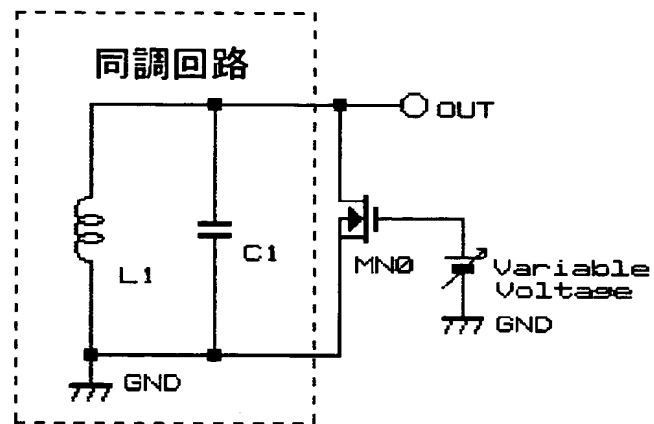
【図 3】



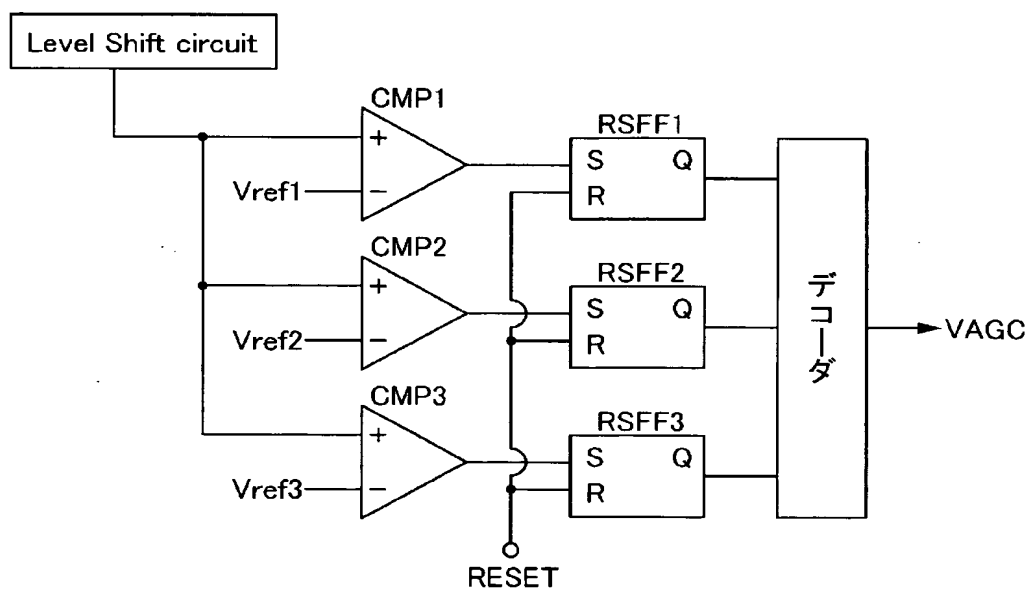
【図 4】



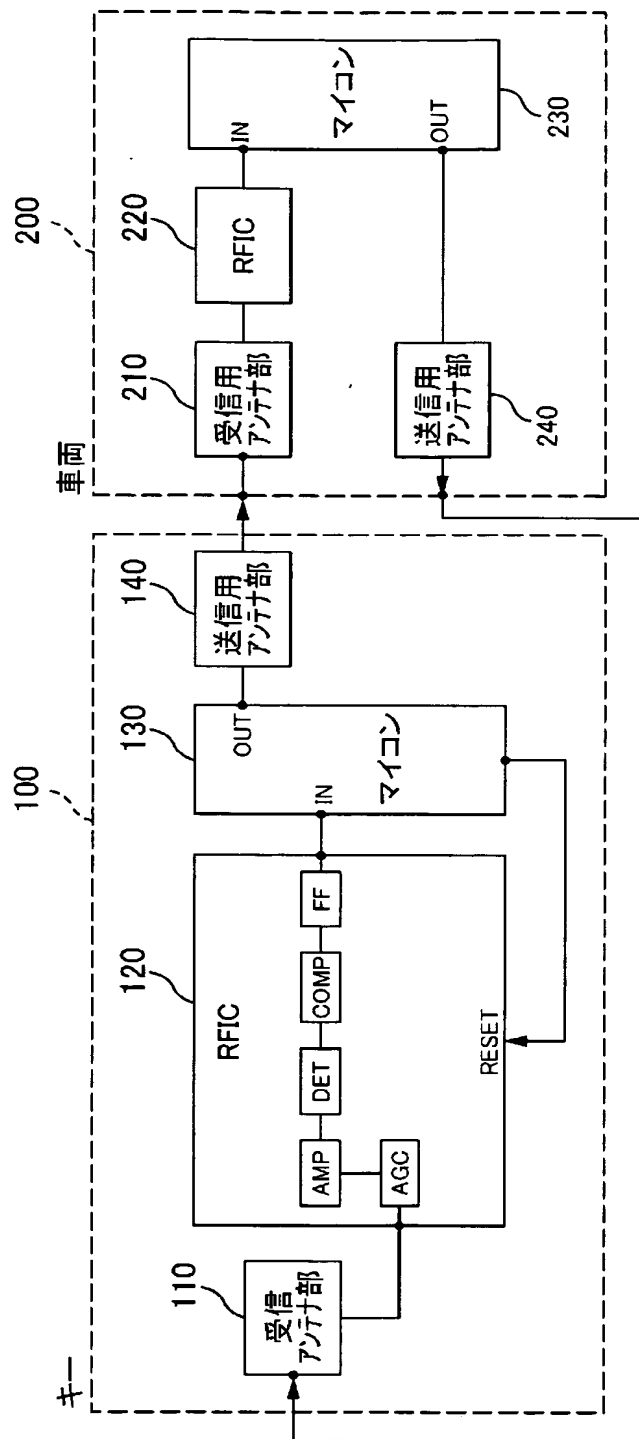
【図 5】



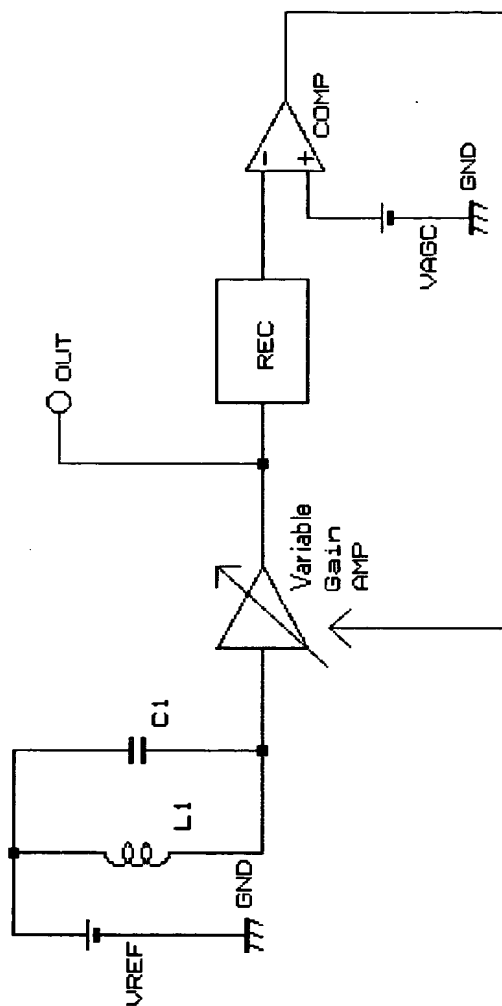
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【解決手段】 コイル及びコンデンサを有する同調回路の共振時における抵抗値を変化させるための抵抗値調整素子がコイル及びコンデンサに並列に接続され、抵抗値調整素子で抵抗値を変化させることにより、同調回路の出力信号の振幅を変化させる。

【選択図】 図 3

特願 2 0 0 3 - 0 1 6 1 4 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

| | |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 3 年 1 0 月 2 0 日 |
| [変更理由] | 住所変更 |
| 住 所 | 大阪府守口市京阪本通 2 丁目 5 番 5 号 |
| 氏 名 | 三洋電機株式会社 |